

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-332668

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 5/06	3 5 3			
15/64	4 5 0 H			
15/66	3 3 0 C	8420-5L		
H 0 4 N 1/41	Z	9070-5C		
7/13	Z			

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平5-120058

(22) 出願日 平成5年(1993)5月21日

(71) 出願人 000005496

富士ゼロックス株式会社
東京都港区赤坂三丁目3番5号

(72) 発明者 松田 泰幸

神奈川県海老名市本郷2274番地富士ゼロックス株式会社内

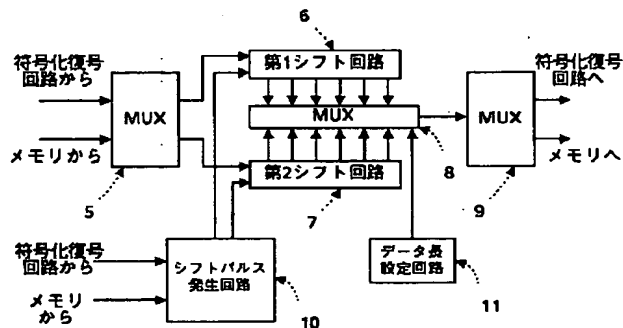
(74) 代理人 弁理士 小堀 益 (外1名)

(54) 【発明の名称】 同期回路

(57) 【要約】

【目的】 可変長のデータに対応することができる同期回路を提供すること。

【構成】 シフトパルスに同期してデータが転送され、且つ、データが入力されてから出力されるまでのシフト回数が可変である第1、第2シフト回路6、7と、これらのシフト回路6、7におけるシフト回数を設定するデータ長設定回路11と、シフト回路6、7に符号化復号回路2からのデータを交互に供給するマルチプレクサ5と、シフト回路6、7からのデータをマルチプレクサ5とは逆位相で交互に選択してメモリ回路3へ出力するマルチプレクサ8と、シフト回路6、7のデータ書き込み時には入力側装置のタイミングに同期したシフトパルスを発生し、データ読み出し時には出力側装置のタイミングに同期したシフトパルスを発生するシフトパルス発生回路10とを備えている。



【特許請求の範囲】

【請求項1】 互いに非同期である入力側装置と出力側装置との間に設けられ前記入力側装置から前記出力側装置へ可変長のデータを転送する同期回路であって、シフトパルスに同期してデータが転送され、且つ、データが入力されてから出力されるまでのシフト回数が可変である二つのシフト回路と、前記二つのシフト回路における前記シフト回数を設定する手段と、前記二つのシフト回路に前記入力側装置からのデータを交互に供給する第1の選択手段と、前記二つのシフト回路からのデータを前記第1の選択手段とは逆位相で交互に選択して前記出力側装置へ出力する第2の選択手段と、前記二つのシフト回路のデータ書き込み時には前記入力側装置のタイミングに同期したシフトパルスを発生し、前記シフト回路のデータ読み出し時には前記出力側装置のタイミングに同期したシフトパルスを発生するシフトパルス発生手段とを備えていることを特徴とする同期回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像データを符号化し格納する画像データ処理装置等において使用される同期回路に関する。

【0002】

【従来の技術】たとえば、画像データをメモリ回路に格納する場合には、データ量を減らすために画像データを符号化している。たとえば、画像を幾つかのブロックに分割し、各ブロック毎に符号化してメモリに格納している。また、画像データを再現する場合には、メモリに格納されている符号化されたデータを読み出して復号している。

【0003】このような符号化・復号処理の動作と、メモリの書き込み・読み出し動作では、一般に動作のタイミングが異なるために、何らかの同期手段が必要となる。

【0004】このように、信号経路の前後でタイミングの違う回路を同期させるためには、一般にFIFO（first-in first-out）バッファ、ピンポンバッファ等が使用される。

【0005】

【発明が解決しようとする課題】画像データを符号化する場合には、ブロックサイズの大小、目的とする画像の品質、処理速度等に応じて符号化データの長さが変化する。たとえば、ブロックサイズが大きくなればデータ長が長くなる。

【0006】しかしながら、上記のFIFOバッファ、ピンポンバッファ等を使用した従来の同期回路では、取り扱えるデータ長が一定のものに制限されており、可変

長のデータに対応できないという問題があった。

【0007】そこで、本発明は、可変長のデータに対応することができる同期回路を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、前記目的を達成するため、互いに非同期である入力側装置と出力側装置との間に設けられ前記入力側装置から前記出力側装置へ可変長のデータを転送する同期回路であって、シフトパルスに同期してデータが転送され、且つ、データが入力されてから出力されるまでのシフト回数が可変である二つのシフト回路と、前記二つのシフト回路における前記シフト回数を設定する手段と、前記二つのシフト回路に前記入力側装置からのデータを交互に供給する第1の選択手段と、前記二つのシフト回路からのデータを前記第1の選択手段とは逆位相で交互に選択して前記出力側装置へ出力する第2の選択手段と、前記二つのシフト回路のデータ書き込み時には前記入力側装置のタイミングに同期したシフトパルスを発生し、前記シフト回路のデータ読み出し時には前記出力側装置のタイミングに同期したシフトパルスを発生するシフトパルス発生手段とを備えていることを特徴とする。

【0009】

【作用】入力側装置からのデータは第1の選択手段により二つのシフト回路に交互に供給され書き込まれる。シフト回路へのデータ書き込み時には、入力側装置のタイミングに同期したシフトパルスがシフト回路へ供給され、入力側装置のタイミングに同期してデータの書き込みが行われる。一方のシフト回路へのデータ書き込みに並行して他方のシフト回路からデータが読み出される。このデータ読み出しは、出力側装置のタイミングに同期して行われる。シフト回路からデータが読み出される際には、データ長に対応して予め決められ位置から読み出しが開始される。これにより、データ長に拘わらず互いに非同期である入力側装置と出力側装置との間でデータの転送が可能となる。

【0010】

【実施例】以下、図面を参照しながら実施例に基づいて本発明の特徴を具体的に説明する。

【0011】図1は、本発明の同期回路が適用されたデータ処理装置のブロック図を示す。

【0012】図において、1は外部に対してnビット表現のデータの受渡しを行うためのデータ入出力回路である。2はデータ入力時にはデータ入出力回路1からのデータをブロック符号化し同期回路4へ渡し、データ出力時には同期回路4からのデータを復号しデータ入出力回路1へ渡す符号化復号回路である。この符号化復号回路2は符号化率が可変で、出力されるデータ長は複数種あるものとする。ここでのブロック符号化とは、1画素をmビットで表現したデータに対してx画素×y画素から

3

構成される画素ブロック毎にデータを圧縮して $x \times y \times m$ ビット未満のデータ量にする処理のことを言う。3は同期回路4からのデータを記憶するメモリ回路を示している。4は符号化復号回路2とメモリ回路3の動作タイミングを合わせるための同期回路を示している。この同期回路4は、符号化復号回路2とメモリ3間をブロック単位でデータを受け渡している。

【0013】図2は、図1に示す同期回路4の詳細なブロック図を示す。図において、5は同期回路4への入力を選択するマルチプレクサ（図中、MUXで示す）を示す。このマルチプレクサ5により、データの10 入力方向を符号化復号回路2とメモリ回路3とに選択することができる。6、7はデータの入出力のタイミングを合わせるため入力されてから出力されるまでのシフト回数を変化させることが出来る第1、第2シフト回路を示す。この第1、第2シフト回路6、7は、後述するように、入力されたデータを複数回シフトすると出力される構成になっている。8は第1シフト回路6或いは第2シフト回路7からの出力を選択して、符号化復号回路2或いはメモリ回路3に対して出力するマルチプレクサを示す。9は同期回路4からの出力先を選択するマルチプレクサを示す。このマルチプレクサ9により、データの出力方向を符号化復号回路2とメモリ回路3とに選択することができる。10は第1、第2シフト回路6、7に対して符号化復号回路2或いはメモリ回路3の動作タイミングに同期したシフトパルスを提供するためのシフトパルス発生回路である。11はマルチプレクサ8においてデータが20 入力されてから出力されるまでのシフト回数を設定するデータ長設定回路である。

【0014】図3は、図2に示す第1シフト回路6とマルチプレクサ5の構成を更に詳細に示したブロック図である。第1シフト回路6は、直列に接続された複数のレジスタ6a、6b、6c、・・・から構成されている。各レジスタのデータは、シフトパルス発生回路10から供給されるシフトパルスSPに同期してバイト単位でシフトされる。

【0015】一方、マルチプレクサ8には、第1シフト回路6の各レジスタ6a、6b、6c、・・・からの出力を選択する選択回路8a及びこの選択回路8aからの出力が供給される入出力ビット幅調整回路8bが設けられている。なお、選択回路8aは、レジスタ6a、6b、6c、・・・からの出力を複数個選択できるようになっている。このように、複数の出力を同時に選択できるようにすることにより、ビット幅の調整が可能となる。たとえば、二つのレジスタを同時に選択すればデータの幅は2バイトとなる。入出力ビット幅調整回路8bの出力は、切り替え回路8cの一方の入力端子に供給される。なお、第2シフト回路7に対しても、選択回路8aや入出力ビット幅調整回路8bに対応する同様な回路が設けられているが、図3では図示を省略している。50

4

【0016】次に、上述した同期回路4の動作について説明する。

【0017】いまた例えば、符号化復号回路2からの符号化データをメモリ回路3に格納する場合について考える。この場合には、符号化復号回路2が入力側装置となり、メモリ回路3が出力側装置となる。まず、マルチプレクサ5を、符号化復号回路2からの信号を入力して第1のシフト回路6に対して出力するように制御する。したがって、符号化復号回路2からの信号は、第1シフト回路6内のレジスタ6a、6b、6c、・・・に順次転送される。この第1のシフト回路6へのデータの書き込みは、符号化復号回路2から符号化動作のタイミングに合わせてシフトパルス発生回路10から供給されるシフトパルスSPに同期して行われる。データ長がmバイトであればm回の転送で必要量のデータが第1シフト回路6へ転送される。なおこのとき、切り替え回路8cは第2シフト回路7側に切り替えられている。

【0018】次に、マルチプレクサ5の出力側を第2シフト回路7側に切り替えると共に、切り替え回路8cを第1シフト回路6側に切り替える。そして、上述と同様にして符号化復号回路2からの符号化データを第2シフト回路7に順次書き込む。また、第2シフト回路7へのデータ書き込みと並行して第1シフト回路6からのデータの読み出しを開始する。すなわち、選択回路8aにより、第1シフト回路6内のレジスタ6a、6b、6c、・・・の中の入力側からm番目のレジスタの出力が選択され、入出力ビット幅調整回路8bに供給される。なお、何番目のレジスタの出力を選択するかは、取り扱うデータのデータ長に応じてデータ長設定回路11により予め設定しておく。たとえば、データ長が3バイトであればレジスタ6cの出力を選択する。入出力ビット幅調整回路8bでは、データのビット幅が入力側と出力側で一致するように調整されたのち、切り替え回路8cに供給される。なお、この入出力ビット幅調整回路8bは、入力側装置と出力側装置のビット幅が異なる場合には必要であるが、ビット幅が同じである場合には必ずしも必要ではない。

【0019】第1シフト回路6からのデータの読み出しは、シフトパルス発生回路10からメモリ回路3の書き込み動作のタイミングに合わせて供給されるシフトパルスSPに同期して行われる。選択回路8aはm番目のレジスタの出力を選択しているので、第1シフト回路6にm個のシフトパルスSPが供給されると、第1シフト回路6に書き込まれていたmバイトのデータは全て読み出され、入出力ビット幅調整回路8bでビット幅が調整された後、切り替え回路8cを介してメモリ回路3に供給され、シフトパルスSPに同期したタイミングでメモリ回路3に順次格納される。

【0020】すなわち、第2シフト回路7への書き込みが符号化復号回路2の符号化動作のタイミングに同期し

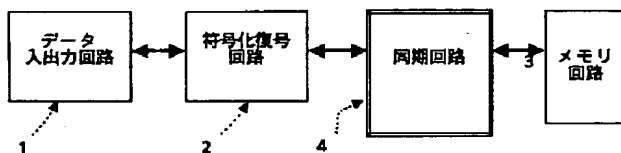
5

で行われると共に、第1シフト回路6からのデータの読み出がメモリ回路3の書き込み動作のタイミングに同期して行われる。以下、同様に第1シフト回路6への書き込み及び第2シフト回路7からの読み出し、第2シフト回路7への書き込み及び第1シフト回路6からの読み出しの動作が交互に繰り返される。したがって、符号化復号回路2とメモリ回路3の動作が非同期である場合でも、支障なくデータの転送を行うことができる。また、取り扱うデータのデータ長に応じて何番目のレジスタの出力を選択するかをデータ長設定回路11により選択回路8aに設定することにより、任意のデータ長のデータを取り扱うことができる。

【0021】 上述の説明は、符号化復号回路2からの符号化データをメモリ回路3に格納する場合の説明であるが、メモリ回路3内の符号化データを符号化復号回路2に転送して復号する場合も同様である。この場合にはメモリ回路3が入力側装置となり符号化復号回路2が出力側装置となる。

【0022】 なお、図2に示す回路において、入力側及び出力側のマルチプレクサ5、9の双方をメモリ回路3側に切り替えることによって、メモリ回路3上のデータをメモリ回路3の他の位置にコピーすることもできる。

【図1】



6

【0023】

【発明の効果】 以上に述べたように、本発明においては、入力されたデータが出力されるまでのシフト回数が可変であるシフト回路を使用したので、各種のデータ長のデータを取り扱うことができる。また、シフト回路を2個設けたので書き込み及び読み出し動作を交互に行わせて、入力と出力が非同期である場合にもデータの転送を行うことができる。

【図面の簡単な説明】

【図1】 本発明の同期回路が適用されたデータ処理装置のブロック図である。

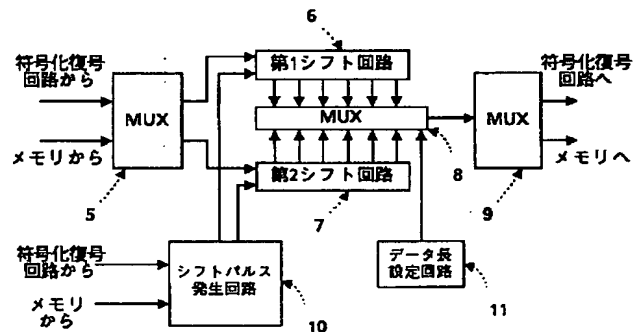
【図2】 同期回路の内部構成を示す詳細ブロック図である。

【図3】 図2に示す第1シフト回路とマルチプレクサの構成を更に詳細に示したブロック図である。

【符号の説明】

1…データ入出力回路、2…符号化復号回路、3…メモリ回路、4…同期回路、5…マルチプレクサ、6、7…シフト回路、6a、6b、6c…レジスタ、8、9…マルチプレクサ、8a…選択回路、8b…入出力ビット幅調整回路、8c…切り替え回路、10…シフトパルス発生回路、11…データ長設定回路

【図2】



【図 3】

